

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-291165
(43)Date of publication of application : 18.10.1994

(51)Int.Cl.

H01L 21/60
H01L 23/12
H05K 1/18
H05K 3/46

(21)Application number : 05-075922

(71)Applicant : NEC CORP

(22)Date of filing : 01.04.1993

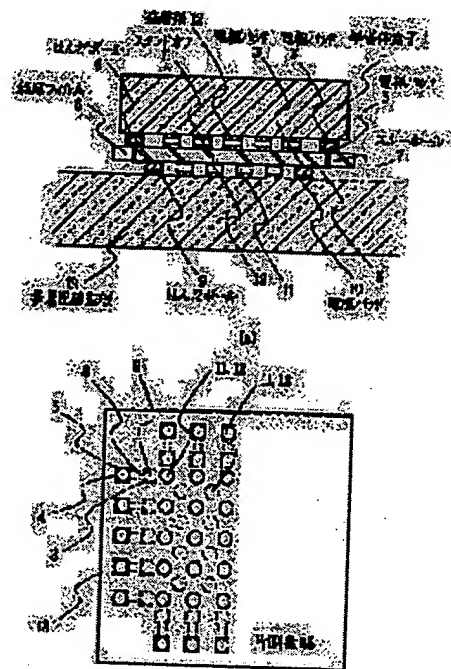
(72)Inventor : TERAJIMA KATSUSHI

(54) FLIP CHIP CONNECTING CONSTRUCTION

(57)Abstract:

PURPOSE: To respond to the increased size of semiconductor elements and the use of multiple pins by reducing thermal stress to solder ball portions in a flip chip connecting construction.

CONSTITUTION: An insulation film 6 comprising polyimide having electrode pads 5 and 3 with electric conductance retained at both the front and rear surface by using through-holes 7 and leader lines 8 is interposed between a semiconductor element 1 and a multi-layer wiring substrate 13, and semiconductor element 1 and electrode pads 2 and 10 of the semiconductor element 1 and the multi-layer wiring substrate 13 are adhered with solder balls 4 and 9. Electrode pads 2 and 10 on the front and rear surfaces of the insulation film 6 are so located that they do not correspond on the front and rear surfaces. Therefore, the solder balls adhered through the insulation film are so disposed that they are not opposite between the front and rear surfaces and therefore the thermal stress to the solder ball portion created by the level difference in thermal expansion between the semiconductor element and the multi-layer wiring substrate can be absorbed with the deformation of insulation film.



LEGAL STATUS

[Date of request for examination] 23.01.1998

[Date of sending the examiner's decision of rejection] 14.12.1999

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

特開平6-291165

(43)公開日 平成6年(1994)10月18日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/60	3 1 1 S	6918-4M		
23/12				
H 0 5 K 1/18	L	7128-4E		
3/46	Q	6921-4E		
		8719-4M		
			H 0 1 L 23/ 12	J
			審査請求 未請求	請求項の数 3 O L (全 5 頁)

(21)出願番号 特願平5-75922

(22)出願日 平成5年(1993)4月1日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 寺島 克司

東京都港区芝五丁目7番1号日本電気株式会社内

(74)代理人 弁理士 京本 直樹 (外2名)

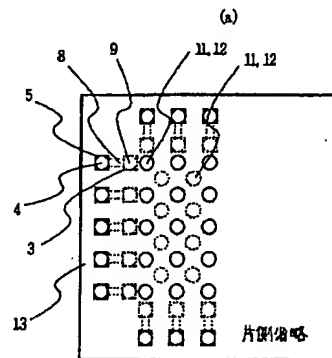
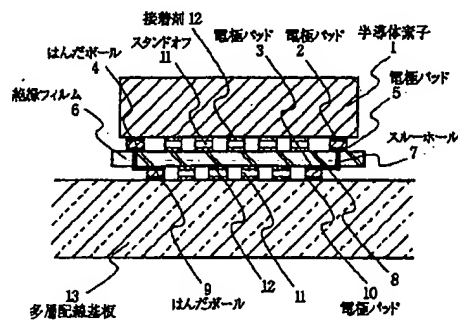
(54)【発明の名称】 フリップチップ接続構造

(57)【要約】

【目的】フリップチップ接続構造において、はんだボール部への熱ストレスを低減し、半導体素子の大型化、多ピン化に対応する。

【構成】スルーホール6と引き出し線8により表裏面で電氣的導通のとれた電極パッド5と3を持つポリイミド等から成る絶縁フィルム6を半導体素子1と多層配線基板13の間に介在させ、半導体素子と多層配線基板の電極パッド2と10とをはんだボール5と9により接着する。絶縁フィルム表裏面の電極パッドは表裏面に対応しない位置にあることが特徴である。

【効果】絶縁フィルムを介して接着したはんだボールは、絶縁フィルムの表裏面に対向しない位置に配置するため、半導体素子と多層配線基板の熱膨張差により生じるはんだボール部への熱ストレスを絶縁フィルムの変形で吸収。



(b)

【特許請求の範囲】

【請求項1】 半導体素子表面に設けられた電極パッドと多層配線基板表面の電極パッドとをはんだボールにより接続するフリップチップ接続構造において、スルーホールにより電気的導通を表裏面に持ち、表裏面にスルーホールと電気的に導通され、かつ、表裏面において対向しない位置に設けた電極パッドを有する、少なくとも一枚以上の絶縁フィルムを前記半導体素子表面と多層配線基板表面の間に介在させ、前記半導体素子と多層配線基板の電極パッドとを絶縁フィルム表裏面の電極パッドを経由して、はんだボールにより接着かつ電気接続したことを特徴とするフリップチップ接続構造。

【請求項2】 多層配線基板表面の電極パッドが、半導体素子表面の電極パッドの少なくとも一部の位置が内周側に位置することを特徴とする請求項1記載のフリップチップ接続構造。

【請求項3】 電気的に接続を有しない良熱伝導性のスタンドオフを絶縁フィルムの表裏面に対向しない位置に設けたことを特徴とする請求項1記載のフリップチップ接続構造。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体素子のフリップチップ接続構造に関し、多層配線基板と接続するはんだボールの多段構造に関する。

【0002】

【従来の技術】 従来のフリップチップ接続構造は、夫々に設けた相互接続用電極パッドの少なくとも一方にはんだ揚げまたは印刷等の手法ではんだを付着しておき、これにより予め所謂はんだのタマリを形成しておいて、しかる後両者を重ね合わせて熱処理することによって形成している。図4に代表的な従来例を示す。半導体素子1の表面周辺部とこれに対向する多層配線基板13の表面にそれぞれ電極パッド2と10を形成し、これらを接続用はんだボール4を用いて接着する。かかる接続構造においては、半導体素子を多層配線基板との熱膨張差により、はんだ接続部に熱ストレスがかかり、半導体素子が大型化するに従い、また、多層配線基板の樹脂基材化が進むに従い、はんだ接続部の疲労による破壊が発生するという欠点を生じていた。そこで図5に示す接続構造等も発案されている。半導体素子1と多層配線基板13の表面の間に、スルーホール7により電気的に導通を表裏面に持つ絶縁フィルム6を介在させ、半導体素子1の表面周辺部とこれに対向する多層配線基板13の表面の電極パッド10をこれらと同一軸上に位置する様に形成された前記スルーホール部7に設けた電極パッドを介してはんだボール4により接着される。絶縁フィルム6は少なくとも数枚以上重ね合わされ、半導体素子と多層配線基板間の熱膨張差による熱ストレスをこの絶縁フィルムと複数のはんだボールにより吸収緩和するものである。

【0003】

【発明が解決しようとする課題】 この従来のフリップチップ接続構造では、半導体素子と多層配線基板の間の熱膨張差による熱ストレスを吸収するために、幾重もの絶縁フィルムを介して多段にはんだボールを重ねているため、コスト、生産性、歩留りを悪くしていた。絶縁フィルムにかかる資材費は言うに及ばず、多段に絶縁フィルムを重ねるには、幾重にも積み上げられたはんだボールの中心軸を合わせるための位置決め精度、はんだボールの形成を絶縁フィルムの上部層、下部層で均等にするための困難性がある。予めアライメントを合せておいても同時に同じ温度プロファイルで行うには、絶縁フィルムの下層になればなる程重力の影響が働きはんだボールをつぶし易くなる。本来、はんだボールははんだペースト印刷等によるタマリを形成した後、熱処理により溶融形成される。溶融時、はんだボールはセルフアライメント能力を有しており、自ら位置決めするが、絶縁フィルムの反り、はんだタマリの量によりはんだボールを各々均等に形成するのは難しい。また、はんだボールを絶縁フィルムを介しているとはいえ、幾段にも重ねていることより熱ストレス的には大きな緩衝効果はなく、絶縁フィルムの弾性にたよるのみである。

【0004】

【課題を解決するための手段】 本発明のフリップチップ接続構造はスルーホールにより電気的導通を表裏面に持ち、表裏面にスルーホールと電気的に導通され、且つ表裏面において対向しない位置に設けた電極パッドを有する、少なくとも一枚以上の絶縁フィルムを前記半導体素子表面と多層配線基板表面の間に介在させ、前記半導体素子と多層配線基板の電極パッドを絶縁フィルム表裏面の電極パッドを経由して、はんだボールにより接着かつ電気接続させる。

【0005】

【実施例】 次に本発明について図面を参照して説明する。図1(a)、図2(拡大断面図)は本発明の一実施例のフリップチップ接続構造の断面図である。図1

(b)は絶縁フィルムの平面図である。厚さ数十マイクロメートルから数百マイクロメートルに成る耐熱性ある樹脂、例えば、ポリイミドの絶縁フィルム6を所望の位置にスルーホール7をパンチングにより形成しておき、次に絶縁フィルム6の表裏面にAl, Ni, Cu等の金属を蒸着または無電界メッキ等により電極パッド5と3、パッド引き出し線8を形成する。一方半導体素子1と多層配線基板13または、絶縁フィルム同士間の間隔を所定の値にするために、数マイクロメートルから数百マイクロメートルの厚さを持ちAl, AlNまたはSiCから成る金属、セラミック等からなるスタンドオフ11をパンチまたはプレスにより形成し、両面にポリイミド等の耐熱性接着剤12を塗布しておく。印刷またはプリファームしたはんだを絶縁フィルム上または半導体素

3

子、多層配線基板表面の電極パッド上に予め、タマリとして形成しておき、半導体素子と絶縁フィルムと多層配線基板とを重ね合せ、必要に応じて半導体素子の裏面上部より荷重を掛けながら熱処理を施す。電極パッド上のはんだは溶け、はんだボール4と9が形成される。半導体素子と多層配線基板の相互電極パッドは絶縁フィルムの配線電極パッドを介して接着及び電氣的接続される。

【0006】半導体素子表面周辺部に設けた電極パッド2と絶縁フィルム6表面9の電極パッド5は対向する位置に設けておく。絶縁フィルム裏面の電極パッド3は、引き出し線8により内部へ配置され、表面を対向する位置からずれる。このずれ量は、絶縁フィルムの厚さ、弾性に加え、半導体素子の大きさ、半導体素子と多層配線基板との熱膨張差の大きさにより決定される。はんだボールに発生する応力が大きい場合程、ずれ量は大きくとる必要がある。ずれ量は絶縁フィルム厚の約2倍以上あることが好ましい。多層配線基板表面の電極パッドは、絶縁フィルム裏面の電極パッドと対向するように位置している。

【0007】半導体素子の電極パッドに対し、多層配線基板の電極パッドの位置を内側に位置させるのは、Siから成る半導体素子に比べ多層配線基板が Al_2O_3 、ガラスエポキシまたはポリイミド基材から成り、膨張率が2倍から10倍程大きいためで、はんだ接続後の基板収縮は半導体素子の2倍から10倍程になり、はんだボール接続部に大きな熱ストレスを与えることになる。よって基板側のはんだボール接続領域を少しでも小さくすることで、基板側の収縮量を低減することができる。

【0008】他の実施例の断面図を図3に示す。多層配線基板13表面の電極パッドは格子上に配列され、絶縁フィルム6の裏面上の電極パッドも引き出し線により、多層配線基板表面の電極パッド10と対向する位置に格子上に配列されている。したがって絶縁フィルム6と多層配線基板13とは多数のはんだボール9で接続され、絶縁フィルム6と半導体素子1とは先の実施例と同じ接続構造にて接続される。

【0009】この実施例の場合、多層配線基板側のはんだボール9の領域を半導体素子1の周辺に設けられた電極パッド2の領域よりも小さくすることが可能で、半導体素子1と多層配線基板13の熱膨張差を小さくするこ

4

とができ、はんだボール部への熱ストレスを小さくする効果がある。

【0010】

【発明の効果】以上説明したように、本発明は、半導体素子と多層配線基板の間に表裏面の電極パッドが対向しない様にずらして配置された絶縁シートを介在したことで半導体素子と基板の間に生じる熱膨張差による熱ストレスを絶縁フィルムに吸収させることができ、はんだボール部への直接的な熱ストレスを半分から数%にまで低減することが可能となる。

【0011】従来例にも絶縁フィルムを介在させるものはあったが、従来例ははんだボールをフィルムの表裏面で対向し、同一軸上に位置していたため、半導体素子と多層配線基板の熱膨張差から来る熱ストレスを吸収するには、幾段にも絶縁フィルム及びはんだボールを重ねる必要があった。しかし、本発明によれば、数十mm角の半導体素子を Al_2O_3 等の多層配線基板に一枚の絶縁フィルムを介在しただけで、はんだボールの疲労破壊を防ぐことが可能となるように、一枚の絶縁フィルムを介在させるだけで、はんだボール部に発生する熱ストレスを大幅に低減することが可能となる。

【図面の簡単な説明】

【図1】図1(a)は本発明の一実施例の断面図、(b)は構成部材である絶縁フィルムの平面図。

【図2】図1(a)の拡大図。

【図3】他の一実施例の断面図。

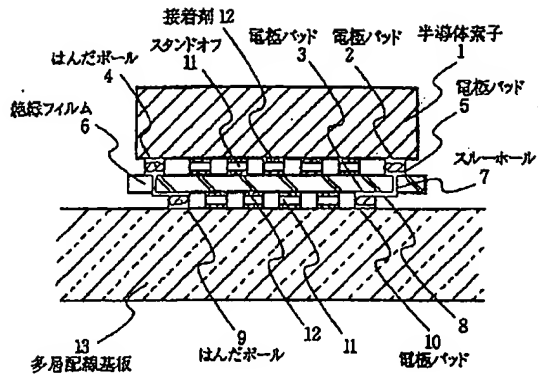
【図4】従来例の断面図。

【図5】従来例の断面図。

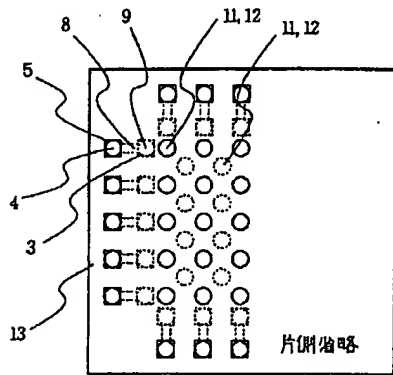
【符号の説明】

- 1 半導体素子
- 2 素子上の電極パッド
- 3, 5 絶縁フィルム上の電極パッド
- 4, 9 はんだボール
- 6 絶縁フィルム
- 7 スルーホール
- 8 引き出し線
- 10 基板表面の電極パッド
- 11 スタンドオフ
- 12 接着剤
- 13 多層配線基板

【図1】

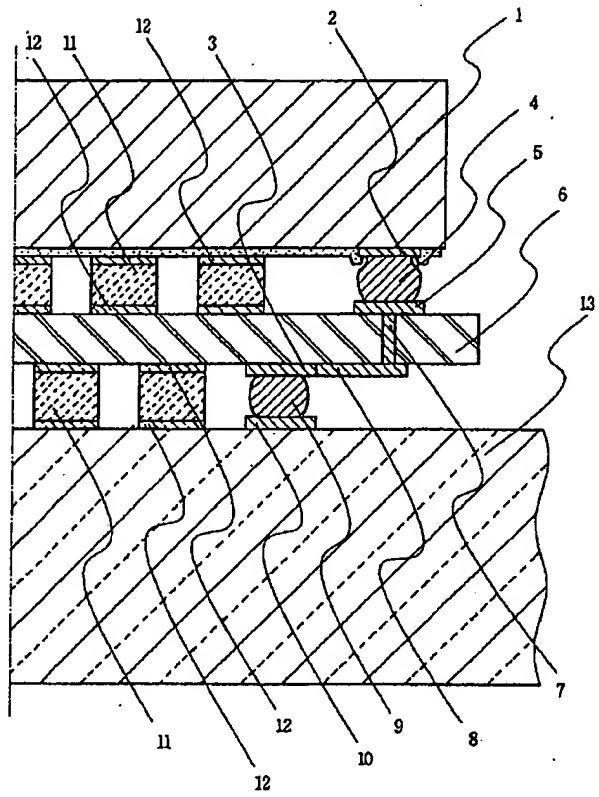


(a)

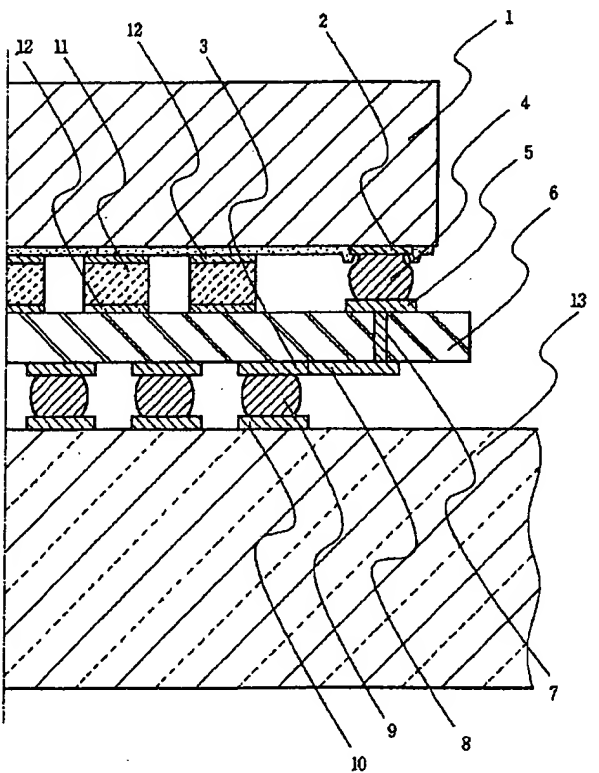


(b)

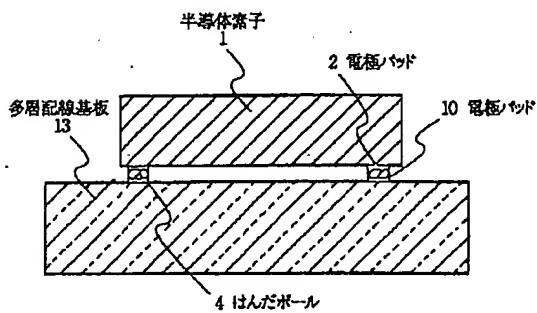
【図2】



【図3】



【図4】



【図5】

